

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: June 20, 2003

Application Number: No. 2003-176429
[ST.10/C] : [JP 2003-176429]

Applicant(s) MITSUMI ELECTRIC CO., LTD.

January 7, 2004

Commissioner,

Japan Patent Office

Yasuo Imai (Seal)

Certificate No.2003-3109233

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 6月20日
Date of Application:

出願番号 特願2003-176429
Application Number:

[ST. 10/C]: [JP 2003-176429]

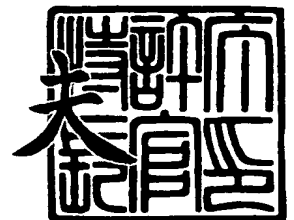
出願人 ミツミ電機株式会社
Applicant(s):



2004年 1月 7日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証特 2 0 0 3 - 3 1 0 9 2 3 3



【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 ショックノイズ低減回路及びその半導体集積回路装置

【特許請求の範囲】

【請求項 1】 第 1, 第 2 の差動回路それぞれで入力オーディオ信号を増幅し、前記第 1, 第 2 の差動回路出力でプッシュプル構成の出力用トランジスタを駆動してオーディオ信号を増幅し出力するパワーアンプのショックノイズ低減回路であって、

前記パワーアンプの非動作を指示する切り替え制御信号に基づいて前記第 1, 第 2 の差動回路の動作電流を減少させるバイアス電流と、前記第 1, 第 2 の差動回路それぞれの正帰還ループを切断する切断タイミング信号を生成する信号生成手段と、

前記第 1, 第 2 の差動回路それぞれの正帰還ループに設けられ、前記切断タイミング信号を供給されて前記正帰還ループを切断するスイッチ手段と、

前記バイアス電流の減少により第 1, 第 2 の差動回路それぞれの動作電流を減少させて前記第 1, 第 2 の差動回路の動作を停止させるバイアス手段を有することを特徴とするショックノイズ低減回路。

【請求項 2】 請求項 1 記載のショックノイズ低減回路において、

前記信号生成手段は、前記切り替え制御信号を積分して傾斜波形とする積分器と、

前記傾斜波形に基づき前記バイアス電流を減少させるバイアス電流可変回路と、

前記傾斜波形を基準電位と比較して前記切断タイミング信号を生成するコンパレータを

有することを特徴とするショックノイズ低減回路。

【請求項 3】 請求項 2 記載のショックノイズ低減回路において、

前記信号生成手段は、前記傾斜波形を反転する反転回路と、

前記反転回路で反転した傾斜波形基準電位と比較して前記正帰還ループを接続するスイッチ信号を生成する第 2 コンパレータを有し、

前記バイアス電流可変回路は、前記傾斜波形と前記反転回路で反転した傾斜波

形とに基づき、減少する第1バイアス電流と、増加する第2バイアス電流とを出力することを特徴とするショックノイズ低減回路。

【請求項4】 請求項1乃至3のいずれか記載のショックノイズ低減回路を構成したことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はショックノイズ低減回路及びその半導体集積回路装置に関し、特に、オーディオ信号を増幅して出力するパワーアンプのショックノイズの発生を低減するショックノイズ低減回路及びその半導体集積回路装置に関する。

【0002】

【従来の技術】

図4は、オーディオ用パワーアンプの一例のブロック図を示す。同図中、信号源10から出力されるオーディオ信号はパワーアンプ12、14に供給される。パワーアンプ12、14それぞれには端子16、18より互いに反転した切り替え信号S1、S2が供給されており、切り替え信号S1、S2に従ってパワーアンプ12、14のいずれか一方が動作する。

【0003】

パワーアンプ12は例えばヘッドホン用であり、パワーアンプ12で増幅されたオーディオ信号はヘッドホンスピーカ20に供給されて発音される。また、パワーアンプ14は例えばスピーカ用であり、パワーアンプ14で増幅されたオーディオ信号はスピーカ22に供給されて発音される。

【0004】

図5は、従来のパワーアンプの出力段の一例の回路図を示す。同図中、端子30a、30b間にオーディオ信号が差動入力される。端子30a、30bにはpチャネルFET（電界効果トランジスタ）M1、M2のゲートが接続され、FET M1、M2はnチャネルFET M3、M4及びpチャネルFET M5と共に差動回路を構成している。

【0005】

pチャネルFETM6のゲート及びドレインはFETM5のゲートに接続されてカレントミラー回路を構成し、FETM6のドレインにはnチャネルFETM7のドレインが接続され、FETM7のゲートはFETM1のドレインに接続されている。これにより、FETM1, M2の構成する差動回路の出力はFETM1, M7, M6, M5の経路でFETM1, M2の構成する差動回路に正帰還される。

【0006】

また、端子30a, 30bにはpチャネルFETM11, M12のゲートが接続され、FETM11, M12はnチャネルFETM13, M14及びpチャネルFETM15と共に差動回路を構成している。

【0007】

pチャネルFETM16のゲート及びドレインはFETM15のゲートに接続されてカレントミラー回路を構成し、FETM16のドレインにはnチャネルFETM17のドレインが接続され、FETM17のゲートはFETM12のドレインに接続されている。これにより、FETM11, M12の構成する差動回路の出力はFETM12, M17, M16, M15の経路でFETM11, M12の構成する差動回路に正帰還される。

【0008】

FETM1, M2の構成する差動回路の出力はFETM1のドレインからnチャネルFETM19のゲートに供給され、FETM11, M12の構成する差動回路の出力はFETM17のドレインからpチャネルFETM18のゲートに供給される。FETM18, M19はドレインを共通接続され、FETM18のソースは電源Vccに接続され、FETM19のソースは接地されており、FETM18, M19のドレインに出力端子32が接続されてシングルエンドプッシュプル構成とされており、出力端子32を通してオーディオ信号が出力される。

【0009】

端子34には切り替え信号(S1またはS2)が供給される。端子34にはpチャネルFETM20のゲート及びドレインとpチャネルFETM21, M22のゲートが接続され、FETM20, M21, M22はカレントミラー回路を構

成している。FETM20のソースは定電流源36に接続されている。FETM21のドレインはpチャネルFETM24のドレインに接続され、FETM24はドレイン及びゲートをFETM17のゲートに接続されてカレントミラー回路を構成している。なお、FETM17のドレインはFETM16のドレイン及びゲートとFETM18のゲートに接続されてカレントミラー回路を構成している。また、FETM22のドレインはpチャネルFETM25のドレインに接続され、FETM25はドレイン及びゲートをFETM7, M19のゲートに接続されてカレントミラー回路を構成している。

【0010】

ここで、切り替え信号がローレベルのとき、FETM20, M21, M22がオンとなり、FETM16, M17, M24, M25がオンするため、FETM18, M19が動作し、出力端子32からオーディオ信号が出力される。一方、切り替え信号がハイレベルのとき、FETM20, M21, M22がオフとなり、FETM16, M17, M24, M25がオフとなるため、FETM18, M19が動作を停止する。

【0011】

【発明が解決しようとする課題】

図5の従来回路では、FETM1, M2の構成する差動回路はFETM1, M7, M6, M5の経路で正帰還がかかり、また、FETM11, M12の構成する差動回路はFETM12, M17, M16, M15の経路で正帰還がかかっているために、切り替え信号がローレベルからハイレベルに変化したとき、上記正帰還のループを切断しなければ出力端子32からのオーディオ信号の出力が停止されない。

【0012】

しかし、上記正帰還のループを切断すると、出力端子32の電位は不定となって急速に電源Vccの電位または接地電位となるため、ショックノイズが発生するという問題があった。

【0013】

本発明は、上記の点に鑑みなされたもので、切り替え信号が変化したとき発生

するショックノイズを低減できるショックノイズ低減回路及びその半導体集積回路装置を提供することを目的とする。

【0014】

【課題を解決するための手段】

請求項1に記載の発明は、第1、第2の差動回路（M41、M42、M51、M52）それぞれで入力オーディオ信号を増幅し、前記第1、第2の差動回路（M41、M42、M51、M52）出力でプッシュプル構成の出力用トランジスタ（M60、M62）を駆動してオーディオ信号を増幅し出力するパワーアンプのショックノイズ低減回路であって、

前記パワーアンプの非動作を指示する切り替え制御信号に基づいて前記第1、第2の差動回路（M41、M42、M51、M52）の動作電流を減少させるバイアス電流と、前記第1、第2の差動回路（M41、M42、M51、M52）それぞれの正帰還ループを切断する切断タイミング信号を生成する信号生成手段と、

前記第1、第2の差動回路（M41、M42、M51、M52）それぞれの正帰還ループに設けられ、前記切断タイミング信号を供給されて前記正帰還ループを切断するスイッチ手段（62、64）と、

前記バイアス電流の減少により第1、第2の差動回路それぞれの動作電流を減少させて前記第1、第2の差動回路の動作を停止させるバイアス手段（M45、M55）を有することにより、

パワーアンプの切り替えを行う際に発生するショックノイズを低減できる。

【0015】

請求項2に記載の発明では、前記信号生成手段は、前記切り替え制御信号を積分して傾斜波形とする積分器（42）と、

前記傾斜波形に基づき前記バイアス電流を減少させるバイアス電流可変回路（M30～M35、R1～R3）と、

前記傾斜波形を基準電位と比較して前記切断タイミング信号を生成するコンパレータ（48）を有することにより、請求項1の発明を実現できる。

【0016】

請求項 3 に記載の発明では、前記信号生成手段は、前記傾斜波形を反転する反転回路 (44) と、

前記反転回路 (44) で反転した傾斜波形基準電位と比較して前記正帰還ループを接続するスイッチ信号を生成する第 2 コンパレータ (46) を有し、

前記バイアス電流可変回路 (M30~M35, R1~R3) は、前記傾斜波形と前記反転回路で反転した傾斜波形とに基づき、減少する第 1 バイアス電流と、増加する第 2 バイアス電流とを出力することにより、2 つのパワーアンプを切り替える制御を行うことができる。

【0017】

なお、上記括弧内の参照符号は、理解を容易にするために付したものであり、一例にすぎず、図示の態様に限定されるものではない。

【0018】

【発明の実施の形態】

図 1 は、本発明のショックノイズ低減回路の一実施例の回路図を示す。この回路は全て及びその半導体集積化されている。同図中、端子 40 には切り替え制御信号が供給される。切り替え制御信号は、図 2 (A) に示すように、2 値の信号である。切り替え信号は積分器 42 で積分されて図 2 (B) に実線で示す波形をされて、反転回路 44 及びコンパレータ 46 に供給され、更に、差動回路の抵抗 R2, R3 の一端に供給される。反転回路 44 は積分器 42 出力を反転して図 2 (B) に破線で示す波形としてコンパレータ 48 に供給し、更に、差動回路の抵抗 R1 の一端及び抵抗 R3 の他端に供給する。

【0019】

コンパレータ 46 は積分器 42 出力を基準電位 V_{ref1} と比較して図 2 (D) に示す切断タイミング信号を生成する。この切断タイミング信号はバッファ 47 を通して端子 50 から出力され、図 4 に示すパワーアンプ 12 に供給される。コンパレータ 48 は反転回路 44 出力を基準電位 V_{ref2} と比較して図 2 (C) に示す切断タイミング信号を生成する。この切断タイミング信号はバッファ 49 を通して端子 51 から出力され、図 4 に示すパワーアンプ 14 に供給される。

【0020】

pチャネルFETM30, M31は定電流源52及びnチャネルFETM32, M33と共に差動回路を構成している。FETM30, M31のゲートには抵抗R1, R2の他端が接続されている。FETM32のゲート及びドレインはnチャネルFETM34のゲートに接続され、FETM32, M34のソースは接地されてカレントミラー回路を構成しており、FETM34のドレインから端子54を介して図2(F)に示すパワーアンプ14用のバイアス電流が出力される。

【0021】

FETM33のゲート及びドレインはnチャネルFETM35のゲートに接続され、FETM33, M35のソースは接地されてカレントミラー回路を構成しており、FETM35のドレインから端子56を介して図2(E)に示すパワーアンプ12用のバイアス電流が出力される。

【0022】

図3は、本発明のショックノイズ低減回路を適用したパワーアンプの出力段の一実施例の回路図を示す。この回路は全て及びその半導体集積化されており、図4のパワーアンプ12または14として用いられ、以下パワーアンプ12に用いるものとして説明する。図3において、端子60a, 60b間にオーディオ信号が差動入力される。端子60a, 60bにはpチャネルFETM41, M42のゲートが接続され、FETM41, M42はnチャネルFETM43, M44及びpチャネルFETM45, M48及びスイッチ62と共に差動回路を構成している。スイッチ62には端子63から図1のインバータ51が出力する切断タイミング信号が供給され、スイッチ62は切断タイミング信号がローレベルでオンし、ハイレベルでオフする。FETM45はソースを電源Vccに接続され、ゲートをバイアス信号が供給される端子66に接続されている。

【0023】

FET48のゲート及びドレインはFETM46のゲートに接続されてカレントミラー回路を構成し、FETM46のドレインにはnチャネルFETM47のドレインが接続され、FETM47のゲートはFETM41のドレインに接続されている。これにより、スイッチ62のオン時にはFETM41, M42の構成

する差動回路の出力は FETM41, M47, M46, M48, スイッチ62の経路で FETM41, M42の構成する差動回路に正帰還される。なお、FET48とFET46のミラー比は例えば4:1である。

【0024】

また、端子60a, 60bにはpチャネルFETM51, M52のゲートが接続され、FETM51, M52はnチャネルFETM53, M54及びpチャネルFETM55, M58及びスイッチ64と共に差動回路を構成している。スイッチ64には端子65から図1のインバータ51が出力する切断タイミング信号が供給され、スイッチ64は切断タイミング信号がローレベルでオンし、ハイレベルでオフする。FETM55はソースを電源Vccに接続され、ゲートをバイアス信号が供給される端子66に接続されている。

【0025】

FETM58のゲートはFETM56のゲート及びドレインと出力用のpチャネルFETM60のゲートに接続され、FETM56, M58, M60のソースは電源Vccに接続されてカレントミラー回路を構成しており、FETM56のドレインにはnチャネルFETM57のドレインが接続され、FETM57のゲートはFETM52のドレインに接続されている。これにより、スイッチ64のオン時にはFETM51, M52の構成する差動回路の出力はFETM52, M57, M56, M58, スイッチ64の経路でFETM51, M52の構成する差動回路に正帰還される。なお、FET58とFET56のミラー比は例えば2:1である。

【0026】

また、FETM47のゲートはnチャネルFETM61のゲート及びドレインと出力用のnチャネルFETM62のゲートに接続され、FETM47, M61, M62のソースは接地されてカレントミラー回路を構成している。出力用のFETM60, M62はドレインを共通接続されると共に出力端子70が接続されてシングルエンドプッシュプル構成とされており、出力端子70を通してオーディオ信号が出力される。

【0027】

また、FETM61のドレインはpチャネルFETM63のドレインに接続されている。FETM57のゲートはnチャネルFETM64のゲート及びドレインに接続され、FETM57、M64のソースは接地されてカレントミラー回路を構成しており、FETM64のドレインはpチャネルFETM65のドレインに接続されている。FETM65のゲートはpチャネルFETM66のゲート及びドレインに接続され、FETM65、M66はソースを電源Vccに接続され、ゲートをバイアス信号が供給される端子66に接続されてカレントミラー回路を構成している。

【0028】

ここで、図2(A)の切り替え制御信号がローレベルであり、図2(C)の切断タイミング信号がローレベル、図2(E)のパワーアンプ12用のバイアス電流が大なるとき、スイッチ62、64はオンし、FETM41、M42とFETM51、M52それぞれで構成される差動回路には正帰還が行われる。この正帰還は端子60a、60b間に入力されるオーディオ信号の振幅が微少であるときFETM60、M62に流れる電流を小さくするために行われる。

【0029】

このとき、FETM41、M42の構成する差動回路の出力はFETM41のドレインからnチャネルFETM62のゲートに供給され、FETM51、M52の構成する差動回路の出力はFETM57のドレインからFETM60のゲートに供給される。FETM60、M62はシングルエンドプッシュプル構成とされており、出力端子70を通してオーディオ信号が出力される。

【0030】

切り替え制御信号がローレベルからハイレベルに変化すると、図2(C)の切断タイミング信号がハイレベルとなってスイッチ62、64はオフし、正帰還は切断される。その後、図2(E)のパワーアンプ12用のバイアス電流が徐々に減少し、最終的にFETM41、M42とFETM51、M52それぞれが構成する差動回路は動作を停止するため、出力端子70の電位が徐々に電源Vccの電位または接地電位となる。従って、パワーアンプの切り替えを行う際に発生するショックノイズの発生を抑えることができる。

【0031】**【発明の効果】**

上述の如く、請求項1に記載の発明は、パワーアンプの非動作を指示する切り替え制御信号に基づいて第1、第2の差動回路の動作電流を減少させるバイアス電流と、第1、第2の差動回路それぞれの正帰還ループを切断する切断タイミング信号を生成する信号生成手段と、第1、第2の差動回路それぞれの正帰還ループに設けられ、切断タイミング信号を供給されて正帰還ループを切断するスイッチ手段と、バイアス電流の減少により第1、第2の差動回路それぞれの動作電流を減少させて第1、第2の差動回路の動作を停止させるバイアス手段を有することにより、パワーアンプの切り替えを行う際に発生するショックノイズを低減できる。

【0032】

請求項2に記載の発明では、信号生成手段は、切り替え制御信号を積分して傾斜波形とする積分器と、傾斜波形に基づき前記バイアス電流を減少させるバイアス電流可変回路と、傾斜波形を基準電位と比較して前記切断タイミング信号を生成するコンパレータを有することにより、請求項1の発明を実現できる。

【0033】

請求項3に記載の発明では、信号生成手段は、傾斜波形を反転する反転回路と、反転回路で反転した傾斜波形基準電位と比較して正帰還ループを接続するスイッチ信号を生成する第2コンパレータを有し、バイアス電流可変回路は、傾斜波形と反転回路で反転した傾斜波形とに基づき、減少する第1バイアス電流と、増加する第2バイアス電流とを出力することにより、2つのパワーアンプを切り替える制御を行うことができる。

【図面の簡単な説明】**【図1】**

本発明のショックノイズ低減回路の一実施例の回路図である。

【図2】

図1の回路各部の信号波形図である。

【図3】

本発明のショックノイズ低減回路を適用したパワーアンプの出力段の一実施例の回路図である。

【図 4】

オーディオ用パワーアンプの一例のブロック図である。

【図 5】

従来のパワーアンプの出力段の一例の回路図である。

【符号の説明】

4 2 積分器

4 4 反転回路

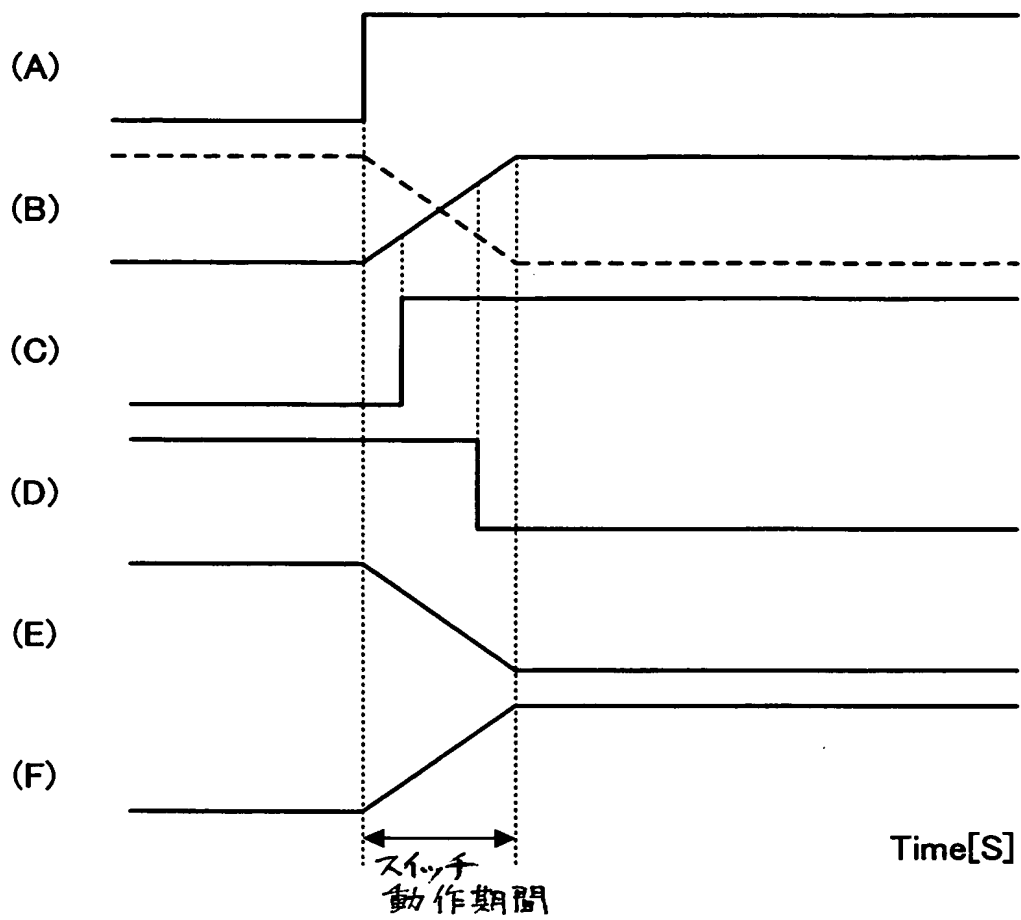
4 6, 4 8 コンパレータ

5 2 定電流源

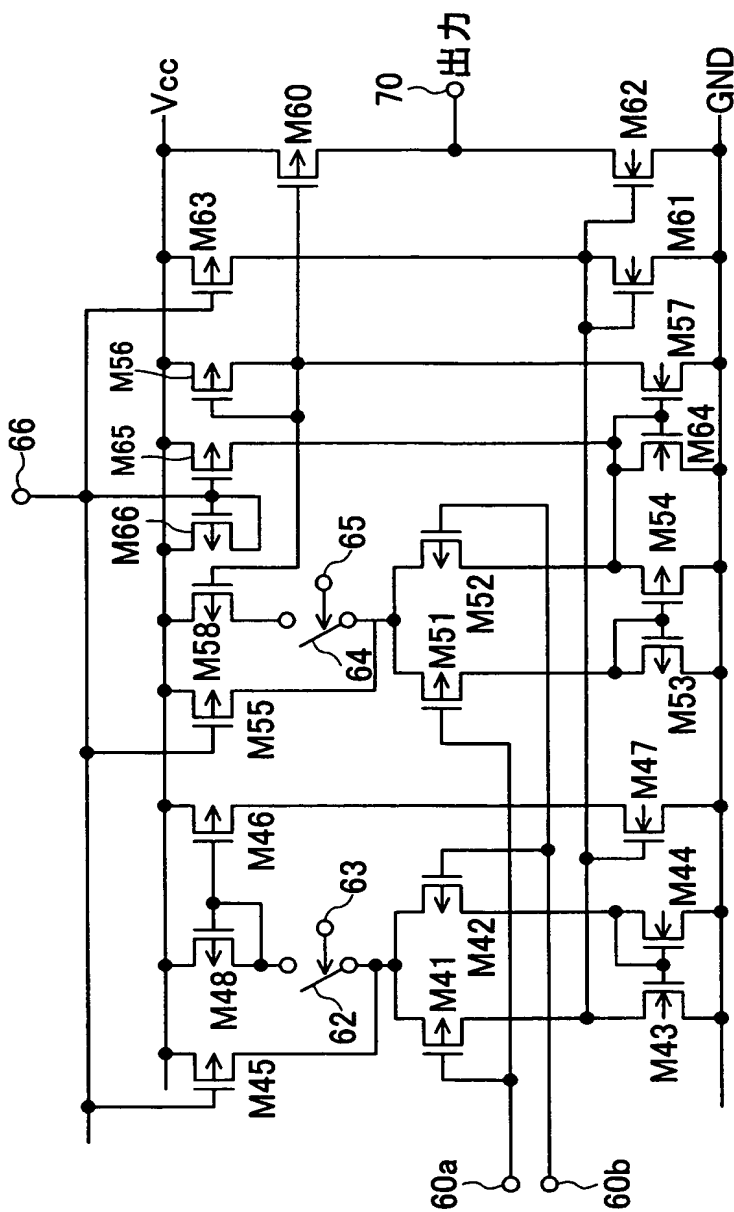
M 3 0 ~ M 6 6 F E T

R 1 ~ R 3 抵抗

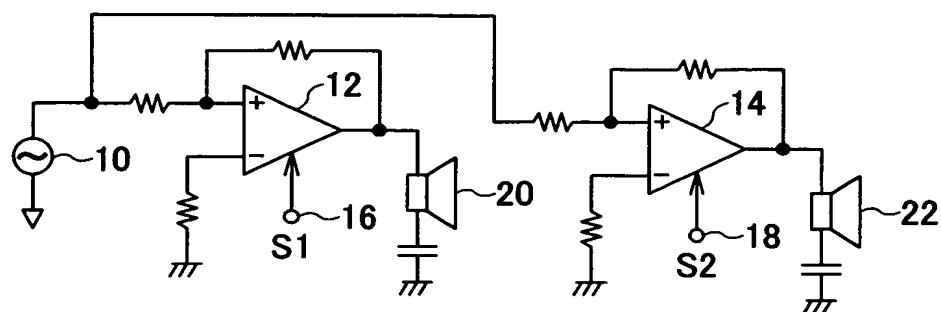
【図 2】



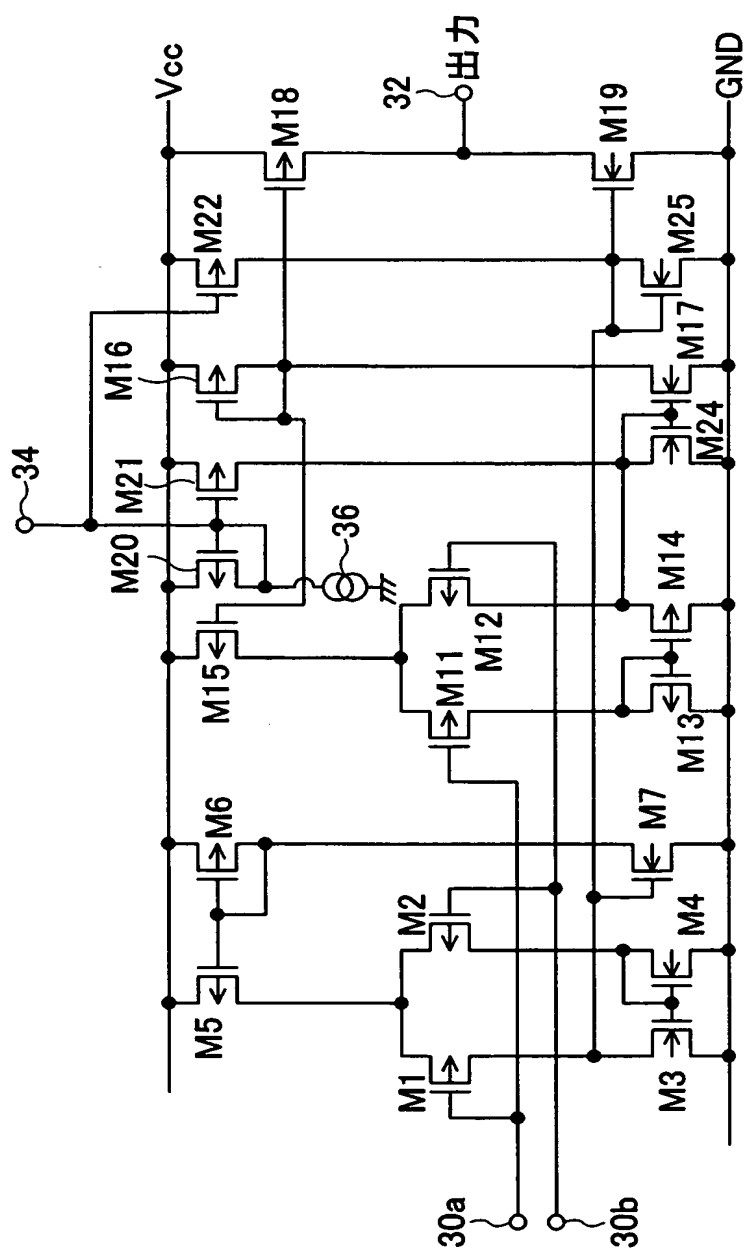
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 本発明は、パワーアンプの切り替えを行う際に発生するショックノイズを低減できるショックノイズ低減回路及びその半導体集積回路装置を提供することを目的とする。

【解決手段】 パワーアンプの非動作を指示する切り替え制御信号に基づいて第1、第2の差動回路M4 1，M4 2，M5 1，M5 2の動作電流を減少させるバイアス電流と、第1，第2の差動回路それぞれの正帰還ループを切断する切断タイミング信号を生成する信号生成手段と、第1，第2の差動回路それぞれの正帰還ループに設けられ、切断タイミング信号を供給されて正帰還ループを切断するスイッチ手段6 2，6 4と、バイアス電流の減少により第1，第2の差動回路それぞれの動作電流を減少させて第1，第2の差動回路の動作を停止させるバイアス手段M4 5，M5 5を有し構成する。

【選択図】 図1

特願 2 0 0 3 - 1 7 6 4 2 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 2 2 0]

1. 変更年月日

2 0 0 3 年 1 月 7 日

[変更理由]

住所変更

住 所

東京都多摩市鶴牧 2 丁目 1 1 番地 2

氏 名

ミツミ電機株式会社